

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-023471

(43)Date of publication of application : 24.01.2003

(51)Int.Cl.

H04L 29/08

G06F 13/38

G06F 13/42

H04L 12/28

(21)Application number : 2001-209192

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 10.07.2001

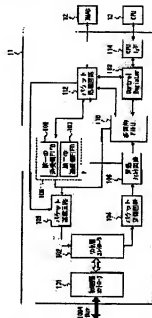
(72)Inventor : YOSHIDA HIROSHI
ITO HIROTAKE
TAHIRA YOSHIHIRO

(54) PACKET TRANSMISSION/RECEPTION PROCESSING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a packet transmission/reception processing circuit, in which the drop in transfer rate via a CPU is reduced when data are transferred and for which an IEEE 1394 bus can be used efficiently.

SOLUTION: The circuit is provided with a packet processing circuit 112 for receiving or transmitting required information from a received packet, first and second transmission/reception FIFOs 106 and 107 for storing transmission packet data or storing reception packet data addressed to the packet processing circuit 112, a multipurpose FIFO 115 for storing transmission packet data from the CPU and reception packet data addressed to the CPU, a reception filter circuit 108 for identifying the received packet, a packet transmission circuit 103 for transferring packet data which are directly read to a link core circuit, and a packet reception circuit 104 for receiving received packet data from the link core circuit and storing it in the multipurpose FIFO 115 and the first and second transmission/reception FIFOs 106 and 107.



JP 2003-023471

[0026] Subsequently, the packet transmission and receiving processing of the packet processing circuit 512 which has been stopped from the CPU 53. Then, a BRRQ for the next reading is performed by the packet processing circuit 512, and immediately upon the completion of mediation for transmission, it is sent out onto the IEEE1394 Bus from the packet transmitting circuit 503.

(51) Int.Cl. ⁷	識別記号	F I	テ-コ-ド (参考)
H 0 4 L 29/08		G 0 6 F 13/38	3 1 0 A 5 B 0 7 7
G 0 6 F 13/38	3 1 0	13/42	3 1 0 5 K 0 3 3
13/42	3 1 0	H 0 4 L 12/28	2 0 0 Z 5 K 0 3 4
H 0 4 L 12/28	2 0 0	13/00	3 0 7 Z

審査請求 未請求 請求項の数 3 O L (全 11 頁)

(21) 出願番号 特開2001-209192(P2001-209192)

(22) 出願日 平成13年7月10日 (2001.7.10)

(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地

(72) 発明者 吉田 宏
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 伊藤 裕隆
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100061813
弁理士 早瀬 憲一

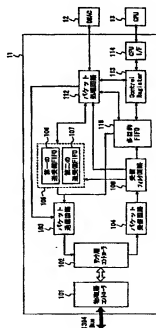
最終頁に続く

(54) 【発明の名称】 パケット送受信処理回路

(57) 【要約】

【課題】 データ転送時におけるCPUの介入による転送レートの低下を少なくし、効率的にIEEE1394 Busを使用できるパケット送受信処理回路を提供する。

【解決手段】 受信したパケットから必要な情報を取得し、あるいは送信するパケットデータを構成するパケット処理回路112と、送信パケットデータを格納し、あるいはパケット処理回路112宛の受信パケットデータを格納する第一、及び第二の送受信FIFO106、107と、CPUからの送信パケットデータ及び、CPU宛の受信パケットデータを格納する多目的FIFO115と、受信したパケットを識別する受信フィルタ回路108と、直接読み出したパケットデータを、リンクコア回路へ引き渡すパケット送信回路103と、受信したパケットデータをリンクコア回路から受け取り、上記多目的FIFO115、上記第一、及び第二の送受信FIFO106、107へ格納するパケット受信回路104とを備えるものとした。



【特許請求の範囲】

【請求項 1】 ヘッダ部とデータ部から構成され、ヘッダ部に少なくとも一つ以上のパケット識別子を有する要求パケットと、少なくとも一つ以上のパケット識別子および応答識別子とを有する応答パケットによって、パケット単位でデータの送受信を処理するパケット送受信処理回路において、

受信したパケットデータの必要な情報の取得、及び送信するパケットデータの構成、をするパケット処理回路と、

上記パケット処理回路により構成された送信パケットデータ、及び上記パケット処理回路宛の受信パケットデータ、を格納する第一の送受信 F I F O、及び第二の送受信 F I F Oと、

C P Uにより構成された送信パケットデータ、及び C P U宛の受信パケットデータを格納する多目的 F I F Oと、

上記第一の送受信 F I F Oと、上記第二の送受信 F I F O、及び上記多目的 F I F Oに格納されたパケットデータ、及び上記パケット処理回路から直接読み出したパケットデータ、を送信するパケット送信回路と、パケットデータを受信するパケット受信回路と、

受信したパケットをヘッダ部のパケット識別子から識別し、第一の送受信 F I F Oまたは第二の送受信 F I F Oまたは多目的 F I F Oのいずれかに分類して格納する受信フィルタ回路と、

を備えたことを特徴とするパケット送受信処理回路。

【請求項 2】 請求項 1 記載のパケット送受信処理回路において、

パケットを送受信する際に、独立した少なくとも二つ以上の記憶手段を用い、

第一の記憶手段内で送信パケットデータを構成するのと独立して、第二の記憶手段内で送信パケットデータを構成する、あるいは、第一の記憶手段内で送信パケットデータを構成するのと独立して、第二の記憶手段内に受信パケットデータを格納する、あるいは、第一の記憶手段内に受信パケットデータを格納するのと独立して、第二の記憶手段内に受信パケットデータを格納する、

ことを特徴とするパケット送受信処理回路。

【請求項 3】 請求項 1 記載のパケット送受信処理回路において、

上記パケット処理回路は、

パケットデータの送信前に送信要求信号を発信し、送信可能な状態になるとパケットデータを作成する第一のパケットデータ作成/送出回路、及び第二のパケットデータ作成/送出回路を備え、

上記パケット送信回路は、上記送信要求信号を受信し、

送信可能な状態になると該パケット処理回路からパケットデータを直接読み出して送信することと特徴とするパケット送受信処理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、パケット送受信処理回路に関し、特にコンピュータと光ディスクドライブ等の周辺機器との間を通信媒体介してデータやコマンド等をパケット単位で伝送するパケット送受信処理回路に関するものである。

【0002】

【従来の技術】 近年、AV機器やコンピュータ機器等を接続するデジタルインターフェースとして、IEEE 1394方式が注目されている。この方式は、従来の SCSI方式等によるコンピュータ機器間の通信のみならず、AV機器間での通信にも用いることができるものである。これは、IEEE 1394方式が、アシンクロナス (Asynchronous) 通信とアイソクロナス (Isynchronous) 通信とが定義されているためである。アシンクロナス通信は、コンピュータデータの伝送のようにリアルタイム性が要求されず、むしろ信頼性を要求するデータの伝送に用いられる通信方法であり、アイソクロナス通信は、動画のAVデータ等のようにデータの信頼性よりもリアルタイム性が要求されるデータの伝送に用いられる通信方法である。従って、一般的に IEEE 1394方式を用いて、例えばコンピュータデータを DVD-RAMドライブ装置等に格納したり、DVD-RAMドライブ装置から記録済みコンピュータデータを読み出したりする際には、アシンクロナス通信によりデータが伝送される。

【0003】 図5は IEEE 1394で定義されている非同期パケットの一部の構造を示すパケット構造図である。IEEE 1394では、動作の要求を行うための要求パケット (リクエストパケット) と、要求パケットによって要求された動作の結果を返すための応答パケット (レスポンスパケット) が定義されている。いずれのパケットに対しても、パケットを受信した場合には、パケットの受信状態を示すアックノリッジパケット (acknowledge packet、以下Ackパケットと略す) を相手機器に返す。Ackパケットには、データの処理完了を示すack_completeと、データの受信は完了したが処理中であることを示すack_pendingと、データの再送要求を示すack_busy等の状態を示すものがある。要求パケットと応答パケットとは通常、対をなして使用されるが、Ackパケットの内容によってはAckパケットの受信で処理が完了する場合もある。

【0004】 アシンクロナスパケットの送受信は、図5に示すようなフォーマットで行われる。転送パケットの第1ワードレフトは、16ビットのデスティネーション

ID (DestinationID) 領域と、6ビットのトランザクションラベル (Label) 領域と、2ビットのリトライコード (retry code) 領域と、4ビットのトランザクションコード (transaction code) 領域と、4ビットのプライオリティ (priority) 領域とから構成されている。デスティネーションID領域はこのノードのバスナンバーとノードナンバーを示し、プライオリティ領域は優先レベルを示す。

【0005】第2クワドレット及び第3クワドレットは、16ビットのソースID (sourceID) 領域と、48ビットのデスティネーション・オフセット (destination offset) 領域により構成されている。ソースID領域はこのパケットを送ったノードIDを示し、デスティネーション・オフセット領域はハイ (high) およびロー (low) の連続した領域からなり、デスティネーション・ノードのアドレス空間のアドレスを示す。

【0006】第4クワドレットは、16ビットのデータ長 (data length) 領域と、16ビットのイクステンディッド・トランザクション・コード (extended Tcode) 領域により構成されている。データ長領域は受信したパケットのバイト数を示し、イクステンディッド Tcode 領域は Tcode がロック・トランザクション (Lock transaction) の場合、このパケットのデータが行う実際のロック動作 (Lock Action) を示す領域である。

【0007】データフィールド (data field) 領域の前のクワドレットに付加されたヘッダCRC (header CRC) 領域は、パケットヘッダの誤り検出符号である。また、データフィールド (data field) 領域の後のクワドレットに付加されたデータCRC (data CRC) 領域は、データフィールドの誤り検出符号である。

【0008】図6は、従来のIEEE1394シリアルインタフェース回路の構成を示すブロック図である。このシリアルインタフェース回路は、パケット送受信処理回路51と、搭載される機器とのDMAインターフェースを制御するコントローラDMAC52と、制御マイコン等のCPU53とにより構成されている。

【0009】以下、パケット送受信処理回路51の構成について説明する。図6に示すように、パケット送受信回路51は、物理層コントローラ501と、リンク層コントローラ502と、パケット送信回路503と、パケット受信回路504と、送受信FIFO505と、受信フィルタ回路508と、送信FIFO509と、受信FIFO510と、送信フィルタ回路511と、パケット処理回路512と、を備えている。

【0010】物理層コントローラ501は、バスのインシャイス、データのエンコード/デコード、アービトレーション、バイアス電圧の出力/検出等の機能を持ち、パケットデータ送受信の際にBus上の調停を行う。

【0011】リンク層コントローラ502は、誤り訂正符号の生成/検出、パケットの生成/検出等の機能を持

ち、パケットデータ送信の際にはパケットデータをBus上に送出し、パケットデータ受信の際にはIEEE1394Bus上からパケットデータを受け取る。

【0012】パケット受信回路504は、受信したパケットデータをリンク層コントローラ502から受け取り、受信フィルタ回路508に送信する。受信フィルタ回路508は、受信したパケットデータのヘッダ部にあるパケット識別子から何のデータであるかを識別し、応答パケットを受信したならば送受信FIFO505に分類して格納し、それ以外のパケットを受信したならば、コマンドなどを受信する受信FIFO510に分類して格納する。

【0013】パケット処理回路512は、受信したパケットデータから必要な情報を取得し、あるいは、必要な情報を取得するためのパケットデータを作成する。送信フィルタ回路511は、パケット処理回路512で作成されたパケットデータを入力し、送受信FIFO505に出力する。送受信FIFO505は、第一の送受信FIFO506と第二の送受信FIFO507とで構成され、パケット処理回路512で作成された送信パケットデータや、パケット処理回路512に送信される受信パケットデータを格納する。

【0014】送信FIFO509は、パケット処理回路512で作成された送信パケットデータを入力し、パケット送信回路503へ出力する。パケット送信回路503は、送受信FIFO505、及び送信FIFO509に格納されたパケットデータをリンク層コントローラ502へ引き渡して送信する。

【0015】次に、図7及び図8は従来のパケット送受信処理回路51の動作を説明するための動作説明図である。図7は従来のパケット送受信処理回路51がコンピュータからデータを読み出す、つまりコンピュータからデータを含むパケットを受信した場合の動作説明図であり、図8は図7のデータ受信時、CPU宛のパケットを受信した場合、つまりデータ転送に関係ないパケットの処理が発生した場合の動作説明図である。なお、各図は横軸に時間軸を取っている。

【0016】このように構成された従来のパケット送受信の動作について、図面を用いて説明する。また、以下の説明ではパケット送受信に関する物理層コントローラ501、及びリンク層コントローラ502の動作は省略している。

【0017】まず、コンピュータからデータを受信する場合の動作について、図7を用いて説明する。コンピュータからデータを読み出すための読み出しリクエスト (BRRQ) がパケット処理回路512により作成されると、送信フィルタ回路511を介して送信FIFO509へ格納される。IEEE1394Bus上の調停が完了後、パケット送信回路503によりIEEE1394Bus上にパケットが送出される。送信したBRRQ

に対してコンピュータから返信されてきたAckパケットをパケット受信回路504が受信してBRRQの送信が完了する。

【0018】次にBRRQに対して、コンピュータが返したデータを含んだ読み出しレスポンス(BRRS)をパケット受信回路504が受信する。この時、パケット送信回路503は受信したBRRSに対するAckパケットをコンピュータ宛に送信する。受信したBRRSは受信フィルタ回路508により、コンピュータから読み出したデータを含んだパケットであると判別されて第一の送受信FIFO506に格納される。第一の送受信FIFO506に格納されたBRRSのデータフィールド部をDMAC52へ送出し、コンピュータからデータを読み出す一連の動作が完了する。

【0019】この時、上述したパケット送受信処理回路511において、コンピュータからBRRSを受信処理中に、次の読み出しのためのBRRQがパケット処理回路512により作成され、送信フィルタ回路511を介して送信FIFO509へ格納される。その後、BRRSの受信動作が完了した後に、パケット送信回路503からIEEE1394Bus上へBRRSが送出される。

【0020】以後、同様に、パケット受信回路504でコンピュータからBRRSを受信すると、受信フィルタ回路508により、BRRSと判別されて、第二の送受信FIFO507に格納される。

【0021】このようにして、先に受信したBRRSのデータフィールド部を処理中に次の読み出し手段を講じることで、最大2つのコンピュータからの読み出し処理をオーバーラップさせ、転送レートを向上させている。

【0022】次に、コンピュータからデータを受信処理中にCPU宛にリクエストパケットを受信した場合の動作について、図8を用いて説明する。まず、コンピュータからデータを読み出すための読み出しリクエスト(BRRQ)がパケット処理回路512により作成されると、送信フィルタ回路511を介して送信FIFO509へ格納される。この後、IEEE1394Bus上の調停が完了後、パケット送信回路503によりIEEE1394Bus上にパケットが送出される。送信したBRRQに対してコンピュータから返信されてきたAckパケットをパケット受信回路504が受信してBRRQの送信が完了する。

【0023】次に、CPU53宛にリクエストパケット(QRRQ)を受信した場合、受信したQRRQはパケット受信回路504から受信フィルタ回路508に受け渡され、CPU53宛のパケットであると判別されて受信FIFO510へ格納される。

【0024】CPU53がQRRQを処理している間に、BRRQに対してコンピュータが返したデータを含む読み出しレスポンス(BRRS)をパケット受信回路504が受信する。この時、パケット送信回路503は

受信したBRRSに対するAckパケットをコンピュータ宛に送信する。受信したBRRSは受信フィルタ回路508により、コンピュータから読み出したデータを含んだパケットであると判別されて第一の送受信FIFO506に格納される。第一の送受信FIFO506に格納されたBRRSのデータフィールド部はDMAC52へ送出し、コンピュータからデータを読み出す一連の動作が完了する。

【0025】そして、CPU53へはこの時点で割り込みが入り(一時停止)、パケット処理回路512の動作を一時停止させる。続いて、CPU53はこのQRRQを読み出して、内容を解析し、このQRRQに対するレスポンスパケット(QRRS)を作成する。作成したQRRSは送信フィルタ回路511を介して送信FIFO509に格納され、この後、パケット送信回路503を介してIEEE1394Bus上へ送信できるようにBusを調停させる。QRRS送信のための調停が完了したら、パケット送信回路503は送信FIFO509より先ほどのQRRSを読み出し、IEEE1394Bus上へ送出する。パケット受信回路504は、送信したQRRSに対して返信されてきたAckパケットを受信してCPU53の一連の処理が完了する。

【0026】この後、CPU53から先ほど一時停止させたパケット処理回路512のパケット送受信処理を再開させる。そして、次の読み出しのためのBRRQがパケット処理回路512により作成され、送信のための調停が完了次第、パケット送信回路503からIEEE1394Bus上へ送出される。

【0027】以後、同様に、パケット受信回路504でコンピュータからのBRRSを受信すると、受信フィルタ回路508により、BRRSと判別されて、第二の送受信FIFO507に格納される。

【0028】

【発明が解決しようとする課題】しかしながら、上記の従来のパケット送受信処理回路においては、送信FIFO509と受信FIFO510とを別々に持っているが、例えば、データ転送中に、制御等の即座に対応する必要があるパケット処理が発生した場合、データ転送中であれば、そのデータ転送処理を一時中断して、先にその制御系のパケット処理を行わなければならない。CPUの介入によるデータ転送レートの低下が課題になっていた。また、回路規模の問題から、CPUとパケット送受信処理回路とで、一部、送信/受信のためのFIFOを兼用していたため、CPUが処理できる時にデータの処理ができない事態が発生していた。これはドライバ等の単一のCPU制御による複数のタスクに別れた大きなシステムに組み込まれた場合、CPUがIEEE1394に対して割いた時間内に処理しきれないことが起り、CPU処理を先延ばしにさせることで転送レートを低下せざるを得ない事態を招く可能性があった。

【0029】本発明はかかる問題点を解消するためになされたものであり、効率の良いデータ転送処理を実現することができるパケット送受信処理回路を提供することを目的とする。

【0030】

【課題を解決するための手段】この課題を解決するために、本発明の請求項1に記載のパケット送受信処理回路は、ヘッダ部とデータ部から構成され、ヘッダ部に少なくとも一つ以上のパケット識別子を有する要求パケットと、少なくとも一つ以上のパケット識別子および応答識別子を有する応答パケットによってパケット単位でデータの送受信を処理するパケット送受信処理回路において、受信したパケットデータからの必要な情報の取得、及び送信するパケットデータの構成、をするパケット処理回路と、上記パケット処理回路により構成された送信パケットデータ、及び上記パケット処理回路宛の受信パケットデータ、を格納する第一の送受信FIFO、及び第二の送受信FIFOと、CPUにより構成された送信パケットデータ、及びCPU宛の受信パケットデータを格納する多目的FIFOと、上記第一の送受信FIFOと、上記第二の送受信FIFO、及び上記多目的FIFOに格納されたパケットデータ、及び上記パケット処理回路から直接読み出したパケットデータ、を送信するパケット送信回路と、パケットデータを受信するパケット受信回路と、受信したパケットをヘッダ部のパケット識別子から識別して第一の送受信FIFOまたは第二の送受信FIFOまたは多目的FIFOのいずれかに分類して格納する受信フィルタ回路と、を備えたことを特徴とするものである。

【0031】また、本発明の請求項2に記載のパケット送受信処理回路は、請求項1記載のパケット送受信処理回路において、パケットを送受信する際に、独立した少なくとも二つ以上の記憶手段を用い、第一の記憶手段内で送信パケットデータを構成すると独立して、第二の記憶手段内で送信パケットデータを構成する、あるいは、第一の記憶手段内で送信パケットデータを構成すると独立して、第二の記憶手段内に受信パケットデータを格納する、あるいは、第一の記憶手段内に受信パケットデータを格納するのと独立して、第二の記憶手段内で送信パケットデータを格納するのと独立して、第二の記憶手段内で受信パケットデータを格納するのと独立して、第二の記憶手段内に受信パケットデータを格納するようにしたことを特徴とするものである。

【0032】また、本発明の請求項3に記載のパケット送受信処理回路は、請求項1記載のパケット送受信処理回路において、上記パケット処理回路は、パケットデータの送信前に送信要求信号を発信し、送信可能な状態になるとパケットデータを作成する第一のパケットデータ作成/送出回路、及び第二のパケットデータ作成/送出回路を備え、上記パケット送信回路は、上記送信要求信

号を受信し、送信可能な状態になると該パケット処理回路からパケットデータを直接読み出して送信することを特徴とするものである。

【0033】

【発明の実施の形態】以下、本発明の実施の形態について、以下、図面を参照しながら説明する。尚、ここで示す実施の形態はあくまでも一例であって、必ずしもこの実施の形態に限定されるものではない。

【0034】（実施の形態1）まず、本発明の請求項1及び請求項2に記載のパケット送受信回路を第1の実施の形態として、図面を参照しながら説明する図1は、本発明の実施の形態1によるパケット送受信処理回路の構成を示すブロック図である。

【0035】このシリアルインタフェース回路は、パケット送受信処理回路11と、搭載される機器とのDMAインタフェースを制御するコントローラ101と、リンク層コントローラ102と、パケット送信回路103と、パケット受信回路104と、送受信FIFO105と、受信フィルタ回路108と、パケット処理回路112と、多目的FIFO115と、を備えている。

【0036】次に、パケット送受信処理回路11の構成について説明する。図1に示すように、パケット送受信処理回路11は、物理層コントローラ101と、リンク層コントローラ102と、パケット送信回路103と、パケット受信回路104と、送受信FIFO105と、受信フィルタ回路108と、パケット処理回路112と、多目的FIFO115と、を備えている。

【0037】物理層コントローラ101は、バスのインシャライズ、データのエンコード/デコード、アービトレーション、パイアス電圧の出力/検出等の機能を持ち、パケットデータ送受信の際にバスの調停を行う。

【0038】リンク層コントローラ102は、誤り訂正符号の生成/検出、パケットデータの生成/検出等の機能を持ち、パケットデータ送信の際にはパケットデータをBus上に出し、パケットデータ受信の際にはIEEE1394Bus上からパケットデータを受け取る。

【0039】パケット受信回路104は、受信したパケットデータをリンク層コントローラ102から受け取り、受信フィルタ回路108に送信する。受信フィルタ回路108は、受信したパケットデータのヘッダ部にあるパケット識別子からデータの種別を識別し、受信したパケットデータが応答パケットならば送受信FIFO105に、それ以外のパケットデータならば多目的FIFO115に、分類して格納する。また、受信フィルタ回路108は、インシエクトにデータを送信する時には、受信したパケットのコントロール情報とパケット識別情報と応答識別情報とから、受信したパケットデータが予め送信した要求パケットに対する応答パケットであって、データフィールドに送信するデータを含むものであ

ると判断すると、後述するパケット処理回路112にその受信を知らせる。

【0040】パケット処理回路112は、パケットデータを受信した際には、そのパケットデータから必要な情報を取得し、パケットデータを送信する場合には、必要な情報を取得するためのパケットデータを作成する。送受信FIFO105は、第一の送受信FIFO106と、第二の送受信FIFO107とで構成され、パケット処理回路112で作成された送信パケットデータ及びパケット処理回路112に送信された受信パケットデータを格納する。

【0041】多目的FIFO115は、CPU13で作成された送信パケットデータ及びCPU13で受信された受信パケットデータを格納する。パケット送信回路103は、送受信FIFO105、及び、多目的FIFO115に格納されたパケットデータと、パケット処理回路112から直接読み出したパケットデータとをリンク層コントローラ102へ引き渡して送信する。

【0042】ここで、CPU13により処理されるパケットデータを送受信時に他のFIFO115に格納する一方、パケット処理回路112により処理されるパケットデータを送受信時に送受信FIFO105に格納するように構成し、CPU13による処理と、パケット処理回路112による処理を並行して実施することができているようにしている。つまり、CPU13により受信したパケットデータの読み出しやレスポンスパケットの作成がなされている間、パケット送受信処理回路11は処理を一時停止してCPU13による処理の完了を待つことなく、パケット受信回路104によるパケットデータの受信や、パケット処理回路112によるパケットデータの作成を実施することができるようにしている。

【0043】また、IEEE1394を介してデータを送受信する際には、その転送速度により転送可能なパケットの最大ペイロードサイズが規定されており、本実施の形態1では、転送速度をS400としたので、転送可能なパケットに含まれるデータフィールド部のサイズは2048バイト(512クワッドレット)、これにヘッダフィールド部のサイズ(16バイト)を加えた2064バイトが、最大ペイロードサイズとなる。また、転送速度に応じたパケットを格納できるサイズのバッファ量が必要となるが、2064バイトを第一の送受信FIFO106、及び第二の送受信FIFO107のそれぞれのサイズとした。

【0044】このように構成されたパケット送受信処理回路11の動作について、図面を用いて説明する。また、以下の説明ではパケット送受信処理回路11に関する物理層コントローラ101、リンク層コントローラ102の動作は省略している。

【0045】図2及び図3は本発明の実施の形態1によるパケット送受信処理回路11の動作を説明するための

動作説明図である。図2はパケット送受信処理回路11がコンピュータからデータを読み出す、つまりコンピュータが送信したデータを含むパケットを受信する場合の動作説明図であり、図3は図2のデータ受信中に、CPU宛のパケットを受信した場合、つまりデータ転送に関係ないパケットの処理が発生した場合の動作説明図である。なお、各国は横軸に時間軸を取っている。

【0046】まず、コンピュータからデータを受信する場合の動作について、図2を用いて説明する。コンピュータからデータを読み出すための読み出しリクエスト(BRRQ)がパケット処理回路112により作成されると、IEEE1394Bus上の調停が完了後、パケット送信回路103によりIEEE1394Bus上にパケットが送出される。送信したBRRQに対してコンピュータから返信されてきたAckパケットをパケット受信回路104が受信してBRRQの送信が完了する。

【0047】次にBRRQに対してコンピュータが返したデータを含んだ読み出しレスポンス(BRRS)をパケット受信回路104が受信する。この時、パケット送信回路103は受信したBRRSに対するAckパケットをコンピュータ宛に送信する。受信したBRRSは受信フィルタ回路108により、コンピュータから読み出したデータを含んだパケットであると判別されて第一の送受信FIFO106に格納される。第一の送受信FIFO106に格納されたBRRSのデータフィールド部をDMAC12へ送出し、コンピュータからデータを読み出す一連の動作が完了する。

【0048】この時、上述したパケット送受信処理回路11において、コンピュータからBRRSを受信処理中に、次の読み出しのためのBRRQがパケット処理回路112により作成され、BRRS受信完了に合わせてパケット処理回路112からIEEE1394Busへ送出される。

【0049】以後、同様に、パケット受信回路104でコンピュータからBRRSを受信すると、受信フィルタ回路108により、BRRSと判別されて、第二の送受信FIFO107に格納される。次に、コンピュータからデータを受信処理中に、CPU宛にリクエストパケットを受信した場合の動作について、図3を用いて説明する。

【0050】まず、コンピュータからデータを読み出すための読み出しリクエスト(BRRQ)がパケット処理回路112により作成されると、IEEE1394Bus上の調停が完了後、パケット送信回路103によりIEEE1394Bus上にパケットが送出される。送信したBRRQに対してコンピュータから返信されてきたAckパケットをパケット受信回路104が受信してBRRQの送信が完了する。

【0051】次に、CPU13宛にリクエストパケット(QRRQ)を受信した場合、受信したQRRQはパケ

ット受信回路104から受信フィルタ回路108に受け渡され、CPU13宛のパケットであると判別されて多目的FIFO115へ格納される。CPU13へはこの時点で割り込みが入り、CPU13はこのQRRQを読み出し、内容を解析してこのQRRQに対するレスポンスパケット(QRRSを作成する。作成したレスポンスパケットはCPU13により多目的FIFO115に格納され、この時、パケット送信回路103を介してIEEE1394Bus上へ送信できるようにBusが調停される。CPU13がQRRQを処理している間に、BRRQに対してコンピュータが返したデータを含んだ読み出しレスポンス(BRRS)をパケット受信回路104が受信する。この時、パケット送信回路103は受信したBRRSに対するAckパケットをコンピュータ宛に送信する。受信したBRRSは受信フィルタ回路108により、コンピュータから読み出したデータを含んだパケットであると判別されて第一の送受信FIFO106に格納される。第一の送受信FIFO106に格納されたBRRSのデータフィールド部はDMAC12へ送出され、コンピュータからデータを読み出す一連の動作が完了する。

【0052】ここで、先ほどCPU13から多目的FIFO115に格納されたQRRSのための調停が完了したなら、パケット送信回路103は多目的FIFO115より先ほどのレスポンスパケットを読み出し、IEEE1394Bus上へ送出する。またこれに平行して、次の読み出しのためのBRRQがパケット処理回路112により作成され、QRRSの送信完了に合わせてパケット送信回路103からIEEE1394Bus上へ送出される。

【0053】以後、同様に、パケット受信回路104でコンピュータからのBRRSを受信すると、受信フィルタ回路108により、BRRSと判別されて、第二の送受信FIFO107に格納される。

【0054】このように、本実施の形態1によるパケット送受信処理回路によれば、コンピュータとのデータ送受信専用のFIFOとCPUから送受信されるパケット専用のFIFOを設けたので、コンピュータとのデータの送受信処理中に次の読み出し手段を講じることで、最大2つのコンピュータからの読み出し処理を行うことができ、転送レートを向上させることができる。また、受信したデータ処理中にCPU宛のパケットデータの送受信が発生した場合でも、データ受信処理を中断することなく処理を続行することができるので、コンピュータからの読み出し処理を円滑に行い、転送レートを向上させることができる。

【0055】なお、本実施の形態では、パケットデータの転送速度をS400、転送可能なパケットデータのサイズは2064バイトとしたが、これに限定されるものではなく、各種の転送速度とデータサイズとの組み合わせ

せとすることができる。

【0056】(実施の形態2)次に、本発明の請求項3に記載のパケット送受信処理回路を第2の実施の形態として、図面を参照しながら説明する。図4は、本発明の実施の形態2による記憶手段を用いないパケット送受信回路の構成及び動作を説明するための図であり、図4

(a)は、パケット送信回路とパケット処理回路の構成の概略を示す図、図4(b)は、パケット処理回路によるパケット送受信処理を説明するための図である。

【0057】図4(a)において、パケット送信回路103は、パケット処理回路112で作成される送信要求信号を受信し、IEEE1394Bus上の調停が完了するとパケット処理回路112に読み出し信号を送信して、パケット処理回路112が作成するパケットデータを直接読み出して送信する。パケット処理回路112は、第一のパケットデータ作成/送回路201、及び第二のパケットデータ作成/送回路202から構成されている。このパケット処理回路112は、パケットデータを送信する際にパケット送信回路103に送信要求信号を送信する。そして、パケット送信回路103による読み出し信号を受信すると第一のパケットデータ作成/送回路201、及び第二のパケットデータ作成/送回路202にてパケットデータを作成する。なお、パケット送受信処理回路を構成するその他の手段については図1と同様であるので説明を省略する。

【0058】このように構成されたパケット送受信処理回路について、その動作を図4(b)を用いて説明する。まず、パケットデータを送信する際に、パケット処理回路112は、パケット送信回路103に送信要求信号を送信する。そして、IEEE1394Bus上の調停を行い、調停完了後、パケット送信回路103からパケット処理回路112に読み出し信号を送信する。パケット処理回路112は読み出し信号を読み出しながら、第一のパケットデータ作成/送回路201、及び第二のパケットデータ作成/送回路202にてパケットデータを作成し、このパケットデータはパケット送信回路103により読み出され、IEEE1394Bus上に送信される。送信したパケットに対してコンピュータから返信されてきたAckパケットをパケット送信回路103が受信して作業は終了する。

【0059】このように本実施の形態2によるパケット送受信処理回路によれば、パケットを送信する際に、あらかじめパケット送信のためのBus調停を行い、送信パケットデータを読み出しながらBus上に送出するようしたので、Bus調停時にパケットデータを一時格納する記憶手段を介在させることなくパケットデータを送信することができ、データ転送の高速化を図ることができる。

【0060】

【発明の効果】本発明の請求項1に係るパケット送受信

処理回路によれば、ヘッダ部とデータ部から構成され、ヘッダ部に少なくとも一つ以上のパケット識別子を有する要求パケットと、少なくとも一つ以上のパケット識別子および応答識別子とを有する応答パケットによって、パケット単位でデータの送受信を処理するパケット送受信処理回路において、受信したパケットデータからの必要な情報の取得、及び送信するパケットデータの構成、をするパケット処理回路と、上記パケット処理回路により構成された送信パケットデータ、及び上記パケット処理回路宛の受信パケットデータ、を格納する第一の送受信 F I F O、及び第二の送受信 F I F O と、CPU により構成された送信パケットデータ、及び CPU 宛の受信パケットデータを格納する多目的 F I F O と、上記第一の送受信 F I F O と、上記第二の送受信 F I F O、及び上記多目的 F I F O に格納されたパケットデータ、及び上記パケット処理回路から直接読み出したパケットデータ、を送信するパケット送信回路と、パケットデータを受信するパケット受信回路と、受信したパケットをヘッダ部のパケット識別子から識別して第一の送受信 F I F O または第二の送受信 F I F O または多目的 F I F O のいずれかに分類して格納する受信フィルタ回路と、を備えたことで、コンピュータとのデータの送受信処理中に次の読み出し手段を講じることで、最大 2 つのコンピュータからの読み出し処理を行うことができ、転送レートを向上させることができる。また、受信したデータ処理中に CPU 宛のパケットデータの送受信が発生した場合でも、データ受信処理を中断することなく処理を続行することができるので、コンピュータからの読み出し処理を円滑に行い、転送レートを向上させることができる。

【0061】また、本発明の請求項 2 に係るパケット送受信処理回路によれば、パケットを送受信する際に、独立した少なくとも二つ以上の記憶手段を用い、第一の記憶手段内で送信パケットデータを構成すると独立して、第二の記憶手段内で送信パケットデータを構成する、あるいは、第一の記憶手段内で送信パケットデータを構成すると独立して、第二の記憶手段内に受信パケットデータを格納するのと独立して、第一の記憶手段内で送信パケットデータを構成する、あるいは、第一の記憶手段内に受信パケットデータを格納するのと独立して、第二の記憶手段内に受信パケットデータを格納するようにしたことで、データ転送時のオーバーヘッドを少なくして、高速にデータ転送を行うことができる効果もある。

【0062】また、本発明の請求項 3 に係るパケット送受信処理回路によれば、上記パケット処理回路は、パケットデータの送信前に送信要求信号を発信し、送信可能な状態になるとパケットデータを作成する第一のパケットデータ作成/送出回路、及び第二のパケットデータ作成/送出回路を備え、上記パケット送信回路は、上記送

信要求信号を受信し、送信可能な状態になると該パケット処理回路からパケットデータを直接読み出して送信するようにしたことで、パケットを送信する際に、あらかじめパケット送信のための Bus 調律を行い、送信パケットデータを抜き出しながら Bus 上に送出するようにしたので、Bus 調律時にパケットデータを一時格納する記憶手段を介在させることなくパケットデータを送信することができるので、データ転送の高速化を図ることができる。

【図面の簡単な説明】

【図 1】本発明の実施の形態 1 によるパケット送受信処理回路の構成を示すブロック図である。

【図 2】本発明の実施の形態 1 によるパケット送受信処理回路の動作を説明するための動作説明図である。

【図 3】本発明の実施の形態 1 によるパケット送受信処理回路の別の動作を説明するための動作説明図である。

【図 4】本発明の実施の形態 2 による記憶手段を用いないパケット送受信処理回路の構成（図 4（a））及びパケット送信の動作（図 4（b））を説明するための図である。

【図 5】IEEE 1394 で定義されている非同期パケットの一部の構造を示すパケット構造図である。

【図 6】従来の IEEE 1394 シリアルインタフェース回路の構成を示すブロック図である。

【図 7】従来のパケット送受信処理回路の動作を説明するための動作説明図である。

【図 8】従来のパケット送受信処理回路の別の動作を説明するための動作説明図である。

【符号の説明】

11, 51 パケット送受信処理回路

12, 52 DMAC

13, 53 CPU

101, 501 物理層コントローラ

102, 502 リンク層コントローラ

103, 503 パケット送信回路

104, 504 パケット受信回路

105, 505 送受信 F I F O

106, 506 第一の送受信 F I F O

107, 507 第二の送受信 F I F O

108, 508 受信フィルタ回路

112, 512 パケット処理回路

113, 513 Control Register

114, 514 CPU I/F

115 多目的 F I F O

201 第一のパケットデータ作成/送出回路

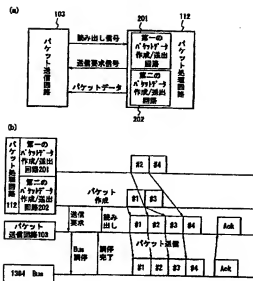
202 第二のパケットデータ作成/送出回路

509 送信 F I F O

510 受信 F I F O

511 送信フィルタ回路

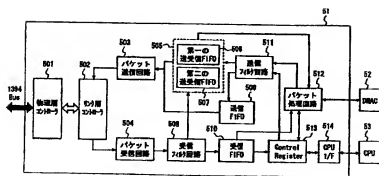
【図4】



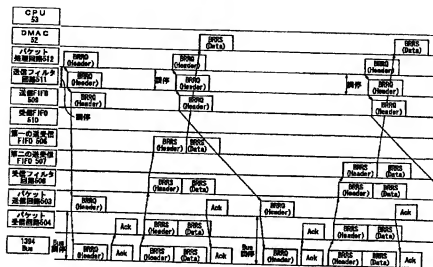
【図5】

DestinationID (12)	Label (3)	EC (2)	TCode (4)	Pri (5)
SourceID (13)	Destination_offset_in (44)			
DataLength (14)	ExtendCode (15)			
Header_CRC (22)				
Data_Field (23)				
Data_CRC (24)				

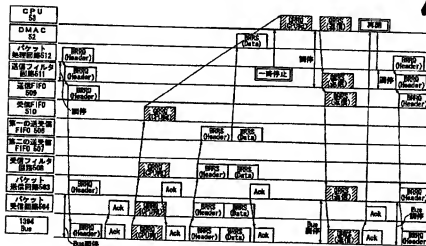
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 田平 由弘

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考)

5B077 AA24 DD02 MM02 NN02
 5K033 AA02 BA01 CB18 CC02 DB14
 DB16 DB21 EC04
 5K034 AA03 AA07 BB06 CC02 DD06
 EE03 FF02 FF14 GG06 HH14
 HH23 HH37 KK27 LL04 MM05
 MM22